

数字 IP 核的 IEEE Std1500 外壳架构设计研究

李广进¹, 陈圣俭¹, 牛金涛², 高 华¹

(1 装甲兵工程学院 控制工程系, 北京 100072; 2 北京军区司令部, 北京 100144)

摘 要: IP 核可测试性架构的多样性、互不兼容性给 SoC 的测试带来不便, IEEE Std1500 针对此问题提出了一种标准的、可配置的可测试性架构, 如何设计实现这种架构便成为 SoC 测试研究的热点问题. 基于 IEEE Std1500, 利用边界扫描技术, 结合自行设计的 IP 核, 本文给出标准化架构的设计过程, 利用 quartus ii 平台仿真验证了多种测试指令下设计的有效性. 提出的外壳并行配置设计打破传统串行测试的局限性, 为实现 SoC 中 IP 核的并行测试、缩短测试时间提供新的思路.

关键词: IEEE 15000 标准; SoC; IP 核; IEEE 1500 外壳; 可测试性

中图分类号: TP391.76

文献标识码: A

文章编号: 1000-7180(2012)10-0042-05

Research on IEEE Std1500 Wrapper Design for Digit IP Core

LI Guang-jin¹, CHEN Sheng-jian¹, NIU Jin-tao², GAO Hua¹

(1 Department of Control Engineering, Academy of Armored Force Engineering, Beijing 100072, China;
2 Command of Beijing Military Area, Beijing 100144, China)

Abstract: Because of the diversity of IP-core testability structure, the test of SoC is becoming more and more difficult. Aiming at this, a standardized structure is proposed by IEEE Std1500, how to realize this structure becomes a research of interest. Based on IEEE Std1500 and boundary-scan, taking user-designed IP core for example, one design method of the structure is discussed; By using quartus ii, multi-instruction simulation of structure is done, and the design's validity is proved. Through the design of WPP, a novel method to accomplish parallel test of IP-core is put forward.

Key words: IEEE Std 1500; SoC; IP core; IEEE 1500 wrapper; testability

1 引言

SoC(System on a Chip)是一种在单个芯片上包含处理器、存储器和外设接口设备等集成电路系统,其关键技术是嵌入式 IP(Intellectual Property)核的验证与复用^[1]. 随着集成电路制造工艺技术和微电子技术的发展,SoC 在电子系统中的应用越来越多,其设计的复杂性越来越高,使 IP 核的测试与访问更具挑战性.

IP 核的可测试性设计便利了 IP 核的测试,但由于不同的 IP 核设计者往往提出不同的可测试性架构,而 SoC 集成时通常要使用不同公司的 IP 核,

这就给 SoC 集成者测试 IP 核带来困难——不同的架构造成测试的不可兼容性、测试资源的浪费. 本文基于 IEEE Std1500^[2], 提出 IP 核可测试性结构的设计方法, 然后结合自行设计的 4 位乘法器 IP 核进行仿真实验, 验证设计的有效性.

2 IEEE 1500 外壳架构

IEEE Std1500 针对 IP 核的测试与访问定义了一种独立的、标准化的、可升级的可测试性架构^[3], 该架构在 IP 核的可测试性设计时形成环绕核的“外壳”(Wrapper), 故又称为“IEEE 1500 外壳”. 外壳为 SoC 集成者与 IP 核设计者提供一种硬件接口,

由外壳串行端口(WSP)、外壳并行端口(WPP)、外壳寄存器(WIR)、外壳旁路寄存器(WBY)、外壳数据寄存器(WBR)组成,如图1所示。

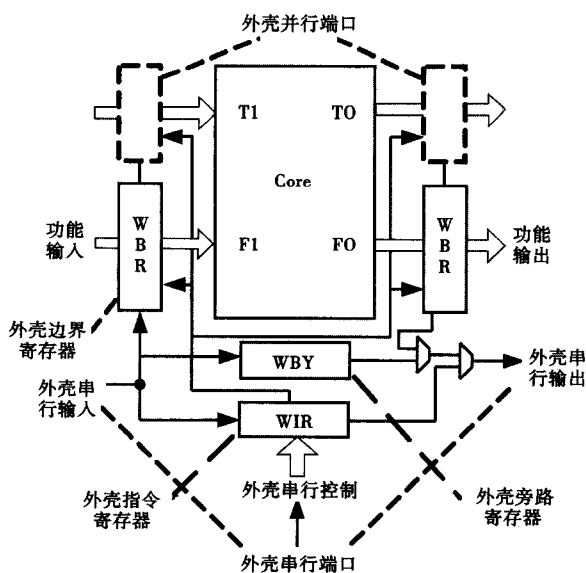


图1 IEEE Std1500 外壳架构图

(1) WSP: 外壳串行端口是一组为实现 IEEE 1500 架构的标准操作的端口集, 用于串行访问 WIR、WBY、WBR, 实现数据和指令的串行输入输出。WSP 由 WSI、WSO 和一组 WSC 端口组成, WSC 包含外壳时钟 (WRCK)、外壳复位 (WRSTN)、SelectWIR、CaptureWR、ShiftWR、UpdateWR 以及可选信号 TransferDR、AUXCK。

(2) WPP: 外壳并行端口是一组可选的端口信号, 它为实现测试数据的输入输出提供一种并行的方式, 主要由外壳并行输入输出端口 (WPI、WPO) 构成。WPP 为 IP 核设计者提供了可选的并行测试方式, 可以使其在测试速率与消耗权衡时做出更合理的选择。

(3) WIR: 外壳指令寄存器是由一组指令寄存器和译码器构成的, 它通过 WSP 串行加载 1500 外壳指令, 产生相应的控制信号, 实现 WBY、WBR 的配置。

(4) WBY: 外壳旁路寄存器用于在测试模式旁路掉不用测试的 IP 核, 为 IP 核的测试输入输出端口提供一条最短的路径, 这为实现大规模 IP 核测试提供便利, 极大缩短测试时间。1500 标准中大部分 WBY 是 1bit 的, 有时为便于测试, WBY 的长度也可以是多于 1bit 的, 但 WBY 长度应该保持尽可能的短。

(5) WBR: 外壳边界寄存器用于实现测试数据的加载与移位, 起到观测与访问芯核引脚的作用; 同时, 通过串行数据扫描链能够提供一种隔离机制, 起到保护芯核的作用^[4]。

3 可测试性架构设计

IEEE Std1500 定义了外壳架构的组成原理, 但没有对如何实现这种架构做出具体的规定。外壳架构主要是提供一种从测试数据产生源到被测 IP 核的控制接口, 实现测试数据的加载、移位, 完成 IP 核的测试。本文根据 IEEE Std1500 标准定义的硬件架构和功能, 把架构设计分为输入/输出模块设计、旁路模块设计、指令寄存器模块设计。

3.1 输入/输出模块

该模块实现测试数据的串行和并行的捕获、加载、移位, 主要涉及 WBR 设计与并行端口配置设计。WBR 设计包含外壳寄存器输入与输出单元设计, 由于原理相同, 设计时只对输入单元作介绍, 并行端口配置设计时也只对 WPI 的配置设计做出介绍。

3.1.1 外壳边界扫描寄存器(WBR)

WBR 由外壳边界单元(WBC)构成。WBC 具有以下功能: (2) IP 核处于测试模式时, 实现对 WSI/WPI 的可控性以及 WSO/WPO 的可观测性, 从而实现对 IP 核引脚以及内部寄存器的观测与控制^[5]。基于这种思想, 提出的一种外壳边界扫描单元结构如图 2 所示。图中 ShiftWR 为数据选择信号, 用来选择信号来自输入/输出端口还是来自扫描链上一单元扫描输出, 以实现数据的捕获或移位; Scan_en 用来选择加载到被测 IP 核输入端口的数据是功能数据还是测试数据; UpdateWR 用于更新测试数据到输入/输出端口; ClockWR 为移位时钟信号, 同步实现测试数据在 WBR 链中的移位。该结构可以完成数据的捕获、移位、施加, 三态和双向端口的 WBC 设计类似以上结构, 不同之处在于需要设计一个使能端。

3.1.2 并行配置设计

并行端口用于实现 WP_INTEST、WP_EXTEST、WP_PRELOAD 等指令下测试数据的输入/输出, 并行配置是对并行测试指令的响应。外壳的串行测试影响 IP 核的测试速率, 为解决串行测试速率慢的问题, 设计了外壳并行配置。

并行配置实现测试数据的并行加载, 也就是突破测试数据只通过 WSP 移入/移出的限制, 提供通

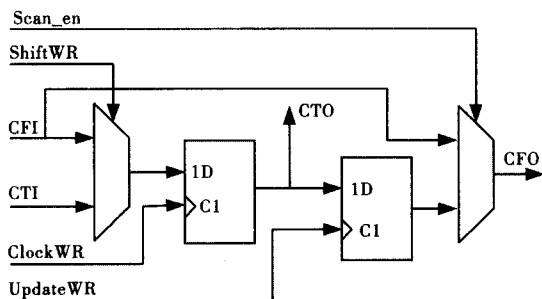


图2 外壳边界单元结构图

过 WPP 移入/移出的路径. 提出的一种思想是通过在 WBR 链之间增加数据选择器以实现 WBR 的割断, 从而实现 WBR 链的分段配置, 每一段的 WBR 配置一组 WPI/WPO, WBR 的分段数目以及每一段 WBR 组中的 WBR 数目可以根据 WPP 端口数来决定, 原则是每一段 WBR 组尽量拥有相同数目的 WBR. 这种分段配置结构的优点在于: (1) 未破坏串行 WBR 链的完整性, 即仍可以执行串行指令; (2) 植入单元简单, 只通过加入二选一的数据选择器便可以实现; (3) 缩短测试时间, 测试时间主要由测试时移位数据的长度决定, 移位长度由 WBR 链长度决定, 分段后的移位长度便由最长的 WBR 组决定. 由于进行了分段, 所以即使最长的 WBR 组也比原来的 WBR 链长度减少很多, 因此可以缩短测试时间.

一种并行配置如图3所示. 通过数据选择器, 图中串行 WBR 链被配置成了 0、1 两条并行链. WPP enable 控制信号用于选择 WBR 的输入端是 WSI 还是 WPI. 当其有效时, WBR 组成的串行扫描链就被分成 0、1 两条并行链, 即实现数据通过 WPI[0]、WPI[1] 并行加载. Extest enable 信号用于选择是外测试指令还是内测试指令.

3.2 旁路模块

旁路模块实现测试数据的快速传输, 原理是通过在 TDI 与 TDO 之间提供一条最短的路径, 从而旁路掉不需要测试的 IP 核, 快速为被测 IP 核加载测试数据. 旁路模块主要是由旁路寄存器构成, 当测试系统复位时, 应该选择旁路寄存器^[6].

3.3 外壳指令模块

指令模块接收从 WSI 移入的指令数据, 输出相应的控制信号, 实现 WBR 串行或并行的配置. 该模块由指令寄存器和指令译码器两部分组成. 指令寄存器实现指令的移位与加载, 指令译码器实现指令的译码. 典型的指令寄存器结构如图4所示. 标准中

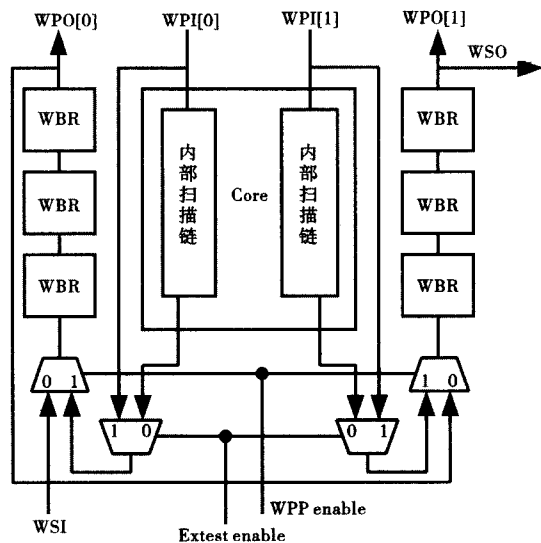


图3 并行配置图

没有规定指令的长度, 但其不应小于 2bit; 标准定义的强制指令包含 WS_BYPASS、WS_EXTEST、WS_PRELOAD、Wx_INTEST, 本设计在验证时用到了 WP_INTEST、WP_EXTESTT, 因此定义指令长度为 4. 指令译码器输出的译码信号主要有 Extest enable 和 WPP enable, Extest enable 信号实现内、外测试指令下 WBR 的配置, WPP enable 信号实现串、并指令下 WBR 的配置.

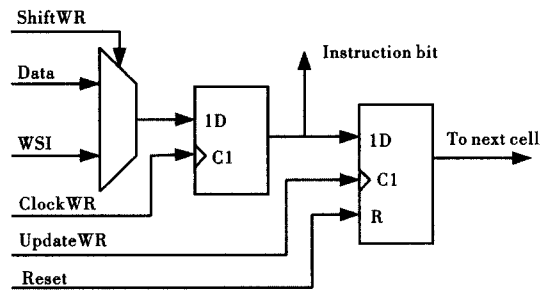


图4 指令寄存器结构图

4 仿真实验

本节以自行设计的 4 位乘法器 IP 核为例, 按照上述方式进行模块化改造, 形成环绕核的外壳架构, 然后通过输入测试指令检验所设计架构的有效性. 在 IP 核设计时, 为了便于并行测试, 所有的触发器都进行了扫描设计——即触发器增加了扫描控制端, 并把触发器连接起来形成了两条并行扫描链.

为验证设计架构的有效性, 以 quartus ii 为开发验证工具, 采用多种指令进行验证. 本文主要使用了 WS_BYPASS、WS_INTEST、WP_INTEST、WP_

EXTEST 指令,仿真结果都符合 IEEE Std1500 标准的要求。由于仿真图过多,在此只截取 WS_INTEST、WP_EXTEST 指令下的状态图进行分析。

WS_INTEST 指令下的状态截图如图 5 所示。区域 1 移入指令代码“0010”,即串行内测试指令;区域 2 为更新指令,产生相应的控制信号、完成选择器的配置;区域 4 为串行移入测试数据“1011010”;区域 5 更新测试数据到 IP 核输入管脚,此时,数据分配为被乘数“1011”、乘数“1010”;区域 7 为执行乘法功能;区域 8 捕获芯核输出管脚的数据;区域 9 移出测试响应数据,可以看出 WSO 为“01011010”,与“1011”乘以“1010”结果相同,外壳架构配置正确。

WP_EXTEST 指令下的状态截图如图 6 所示。区域 1 移入指令代码“0100”,即并行外测试指令;区域 2 为更新指令,产生相应的控制信号、完成选择器的配置;区域 4 为串行移入测试数据“01010101”,这是因为根据 WBR 分段情况,WPI[1]连接的是 6 个 WBR(3 个输入端口 WBR、3 个输出端口 WBR),而 WPI[2]、WPI[0]连接的是 5 个 WBR,因此采用 6 个移位时钟,而 IP 核输出端分别接收的是 WPI[1]的第一、二、三时钟上升沿时信号,WPI[2]的第二、三、四时钟上升沿时信号,WPI[0]的第二、三时钟上升沿时信号;区域 5 更新 IP 核输出端信号到外壳输出端,这是为了验证测试数据是否并行的传输到了

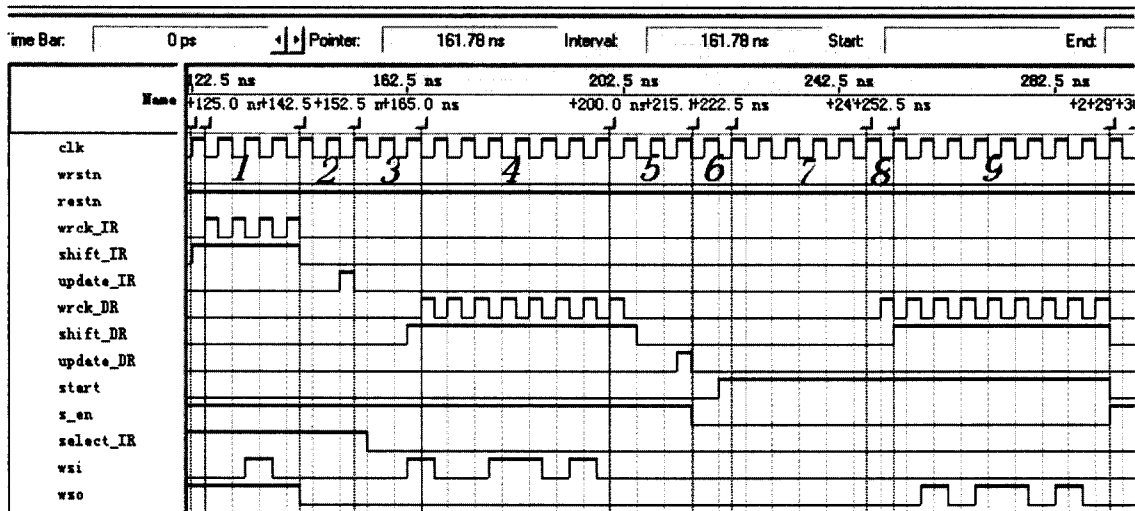


图 5 WS_INTEST 指令下波形仿真图

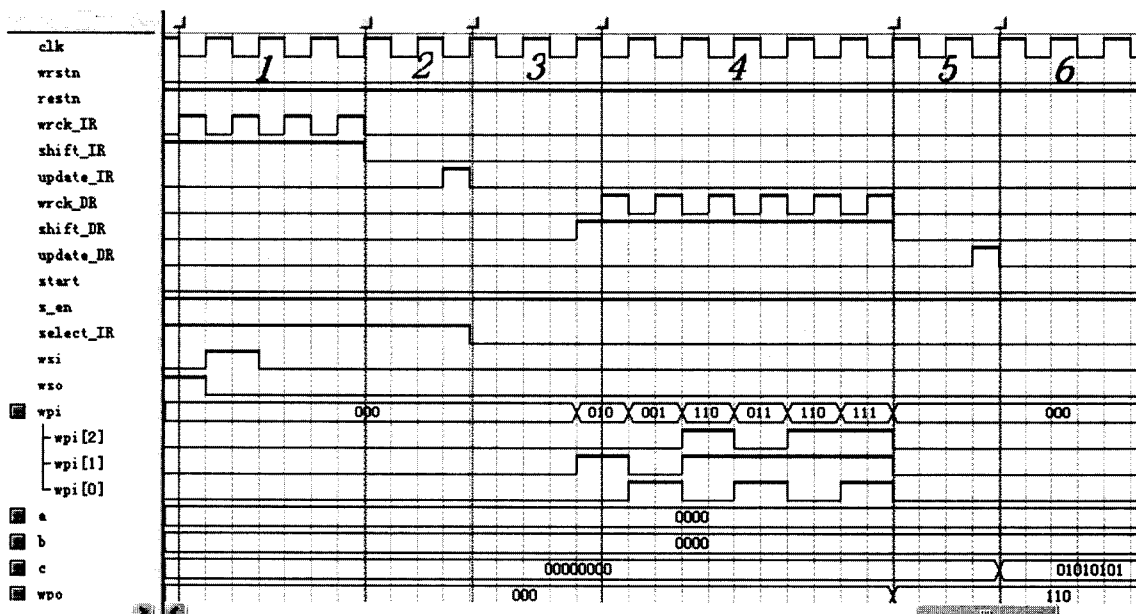


图 6 WP_EXTEST 指令下波形仿真图

IP 核输出端; 区域 6 显示外壳输出端信号, 根据 c 中数据“01010101”知外壳架构配置正确。

5 结束语

本文以 IEEE Std1500 标准为规范, 以 quartus ii 为仿真实验平台, 设计了 IP 核的标准化可测试性架构, 此设计经验证符合标准的各项规定, 达到了预定的目的。标准化的可测试性架构能够给 SoC 测试带来极大便利。本文的创新点在于实现架构的并行配置设计, 此举为并行测试提供实现的途径, 在缩短测试时间和降低测试复杂度方面具有一定意义。

参考文献:

- [1] Higgins M, MacNamee C, Mullane B. IEEE 1500 wrapper control using an IEEE 1149.1. Test Access Port[C]// 16th IET Irish Signals and Systems Con-

ference, University College Galway. Galway, Ireland, 2008.

- [2] IEEE Std 1500. IEEE standard testability method for embedded core-based integrated circuits[S]. 2005.
- [3] 杨鹏. 嵌入式芯核测试标准 IEEE Std 1500 综述[J]. 测控技术, 2006, 25(8): 40-43.
- [4] 刘建强. SoC 中嵌入式核测试标准 IEEE P1500 综述与研究[J]. 国外电子测量技术, 2005(5): 17-20.
- [5] 王永生. 系统级芯片可测性结构及其优化研究[D]. 哈尔滨: 哈尔滨工业大学, 2006.
- [6] 乔立言. 基于 IEEE Std 150 的 IP 核测试壳设计[J]. 电子测量技术, 2010, 33(7): 88-91.

作者简介:

李广进 男, (1988-), 硕士研究生. 研究方向为可测试性设计、边界扫描技术.

(上接第 41 页)

- [5] Thomas H Lee. The design of CMOS radio frequency integrated circuits [M]. UK: Cambridge University Press, 2001.
- [6] Li Q, Yuan J S. Linearity analysis and design optimization 0.18 μ m CMOS RF mixer [C]// IEE. Proceedings-Circuits, Devices and Systems. UK: IEE, 2002;

112-118.

作者简介:

张弘 男, 副教授. 研究方向为集成电路设计与测试.

梁元 男, 学士. 研究方向为射频集成电路设计.